

Requested Patent: JP2001015494A
Title: MANUFACTURE OF SEMICONDUCTOR DEVICE AND ETCHING METHOD ;
Abstracted Patent: JP2001015494 ;
Publication Date: 2001-01-19 ;
Inventor(s): SAITOU KASUMI ;
Applicant(s): SONY CORP ;
Application Number: JP19990186489 19990630 ;
Priority Number(s): ;
IPC Classification: H01L21/3065; C23F4/00; H01L21/285 ;
Equivalents: ;

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device that can prevent generation of surface roughness on the surface of an insulation film, at the same time nearly completely eliminate an adhesion layer on the interface with the insulation film, and at the same time can form a plug with an improved shape with fewer recesses and trenches. SOLUTION: In the method for manufacturing a semiconductor device, where an interlayer film 2 that is made of SiO₂ is formed on an Si substrate, a contact hole 3 is formed on the interlayer insulation film 2, the contact hole 3 is formed on the interlayer insulating film 2, an adhesion layer 4 and a W film 5 that are made of a TiN/Ti film are successively formed over the entire surface on the interlayer insulation film 2 for burying the contact hole 3, then the W film 5 and the adhesion layer 4 are successively etched back until the interlayer insulation film 2 is exposed by the RIE method, thus forming a W plug 6 in the contact hole 3. In the method, the etchback of the adhesion layer 4 is made with the RIE method using Cl₂ gas and BCl₃ gas as reaction gas, by setting the etching selection ratio of the adhesive layer 4 to the interlayer insulating film 2 to 5 or smaller.

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号
特開2001-15494
(P2001-15494A)

(43) 公開日 平成13年1月19日 (2001.1.19)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
H 0 1 L 21/3065		H 0 1 L 21/302	L 4 K 0 5 7
C 2 3 F 4/00		C 2 3 F 4/00	A 4 M 1 0 4
H 0 1 L 21/285	3 0 1	H 0 1 L 21/285	3 0 1 R 5 F 0 0 4

審査請求 未請求 請求項の数7 O L (全 11 頁)

(21) 出願番号 特願平11-186489

(22) 出願日 平成11年6月30日 (1999. 6. 30)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 齊藤 かすみ

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74) 代理人 100082762

弁理士 杉浦 正知

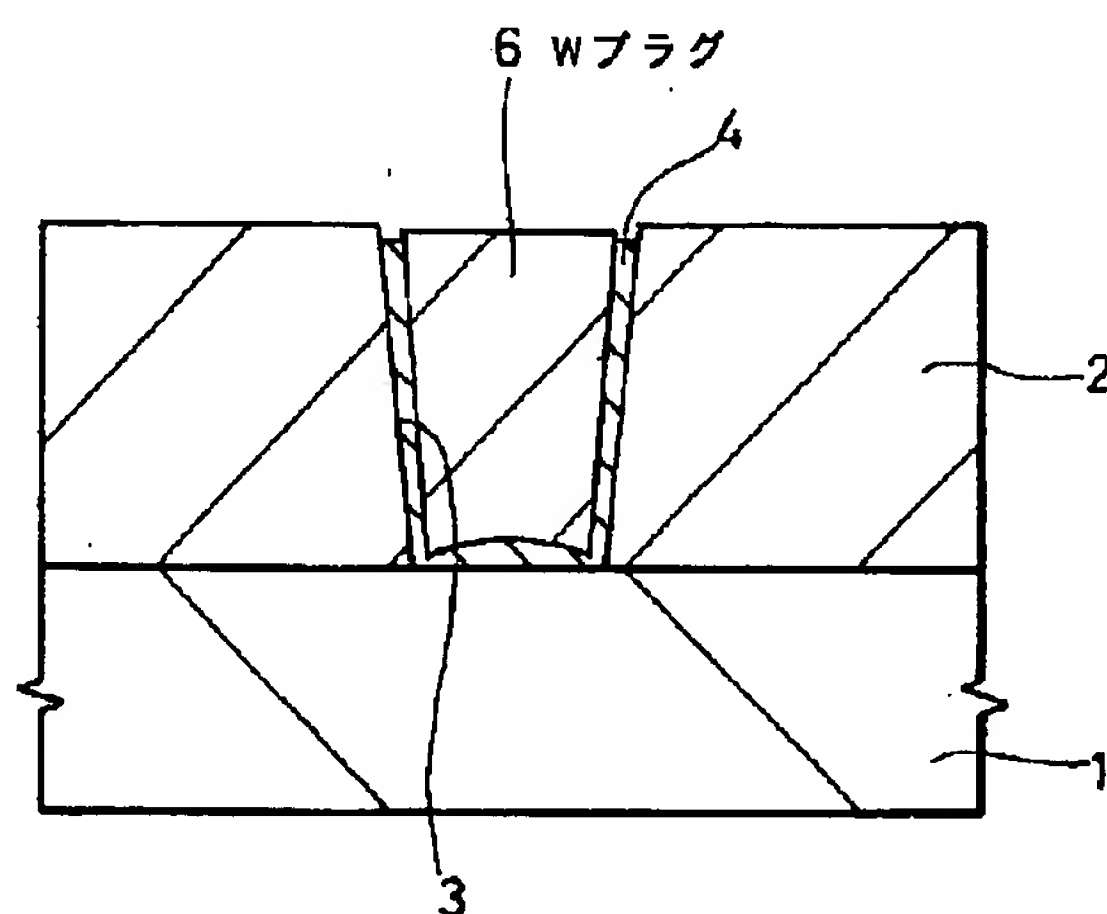
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法およびエッチング方法

(57) 【要約】

【課題】 絶縁膜表面における面荒れの発生を防止しつつ、絶縁膜との界面における密着層をほぼ完全に除去することができると共に、リセス量およびトレンチ量の少ない良好な形状のプラグを形成することのできる半導体装置の製造方法を提供する。

【解決手段】 Si基板1上にSiO₂ からなる層間絶縁膜2を形成し、層間絶縁膜2にコンタクトホール3を形成し、層間絶縁膜2上の全面にTiN/Ti膜からなる密着層4、W膜5を順次成膜してコンタクトホール3内を埋めた後、R I E法によりW膜5、密着層4を層間絶縁膜2が露出するまで順次エッチバックすることにより、コンタクトホール3内にWプラグ6を形成するようにした半導体装置の製造方法において、密着層4のエッチバックを、反応ガスとしてCl₂ ガスおよびBCl₃ ガスを用いたR I E法により、層間絶縁膜2に対する密着層4のエッチング選択比を5以下にして行う。



【特許請求の範囲】

【請求項1】 半導体基体上に絶縁膜を形成する工程と、
 上記絶縁膜に開口を形成する工程と、
 上記絶縁膜上に密着層を形成する工程と、
 上記密着層上に上記開口を埋めるように導電膜を形成する工程と、
 上記導電膜および上記密着層を、荷電粒子を用いたドライエッチング法により少なくとも上記絶縁膜が露出するまでエッチバックすることにより、上記開口の内部に上記導電膜からなるプラグを形成する工程とを有する半導体装置の製造方法において、
 上記密着層のエッチバックを、上記絶縁膜に対する上記密着層のエッチング選択比を5以下にして行うことを特徴とする半導体装置の製造方法。

【請求項2】 上記密着層がチタン系導電膜からなり、上記絶縁膜が酸化シリコンからなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 上記密着層のエッチバックを、少なくとも三塩化ホウ素ガスを含むエッチングガスを用いたドライエッチング法により行うことを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】 上記導電膜がタングステンからなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 絶縁膜上に成膜されたチタン系導電膜を荷電粒子を用いたドライエッチング法により少なくとも上記絶縁膜が露出するまでエッチングするようにしたエッチング方法において、

上記チタン系導電膜のエッチングを、上記絶縁膜に対する上記チタン系導電膜のエッチング選択比を5以下にして行うことを特徴とするエッチング方法。

【請求項6】 上記絶縁膜は酸化シリコンからなることを特徴とする請求項5記載のエッチング方法。

【請求項7】 上記チタン系導電膜のエッチングを、少なくとも三塩化ホウ素ガスを含むエッチングガスを用いたドライエッチング法により行うことを特徴とする請求項6記載のエッチング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置の製造方法およびエッチング方法に関し、特に、タングステンなど導電プラグをチタン系の密着層を介してコンタクトホール内に形成する半導体装置の製造に適用して好適なものである。

【0002】

【従来の技術】超々大規模集積回路(ULSI)などの半導体装置においては、その高集積化および微細化に伴って配線の多層化が進んでいる。そのような多層配線構造を有する半導体装置においては、配線の信頼性を向上させるために、配線と基板との接続に用いるコンタクト

ホールおよび異なる層の配線同士の接続に用いるバイアホール(以下、これらをコンタクトホールと総称する)の部分での配線のカバレッジを確保することが重要となっている。これらのコンタクトホール部における配線のカバレッジを確保する手法としては、従来より、コンタクトホールの内部にタングステン(W)などからなる金属プラグを埋め込む方法が知られている。特に、ブランケット化学気相成長(CVD)法を用いたWプラグの形成方法は、コンタクトホールを埋め込む能力が高く安定なことから、コンタクトホールの埋め込み技術として現在最も広く用いられている。

【0003】図10および図11は、そのようなWプラグをコンタクトホール内に形成する従来の半導体装置の製造方法を示す。

【0004】従来の半導体装置の製造方法においては、まず、図10に示すように、予め素子(図示せず)が形成されたシリコン(Si)基板101上に、CVD法により二酸化シリコン(SiO₂)膜のような層間絶縁膜102を形成する。次に、この層間絶縁膜102上に所定形状のレジストパターン(図示せず)を形成した後、このレジストパターンをマスクとして、ドライエッチング法により層間絶縁膜102の所定部分をエッチングすることにより、この層間絶縁膜102にSi基板101の表面に達するコンタクトホール103を形成する。その後、エッチングマスクとして用いたレジストパターンを除去する。

【0005】次に、スパッタリング法により、コンタクトホール103の側壁および底部を覆うようにして全面にTi膜およびTiN膜を順次成膜し、TiN/Ti膜の二層膜からなる密着層104を形成する。

【0006】次に、ブランケットCVD法により、コンタクトホール103を埋めるようにして全面にW膜105を成膜する。ここで、W膜105は、その表面がほぼ平坦となるように十分厚く形成される。

【0007】次に、図11に示すように、プラズマなどの荷電粒子を用いたドライエッチング法により、W膜105および密着層104を、Si基板101の表面と垂直方向に層間絶縁膜102の表面が露出するまで順次エッチバックする。ここで、W膜105および密着層104のエッチバック工程は、通常、次のような複数のステップに分けて行われる。

【0008】まず、第1のステップでは、反応ガスとして六フッ化硫黄(SF₆)ガスを用いた反応性イオンエッチング(RIE)法により、密着層104が露出しない程度にW膜105をエッチングする(W膜105のメインエッチング)。第2のステップでは、SF₆ガスを用いたRIE法により、密着層104の表面が露出するまで、W膜105の残膜のオーバーエッチングを行う。

【0009】第3のステップおよび第4のステップでは、塩素(Cl₂)ガスを用いたRIE法により、Ti

N/Ti膜からなる密着層104のメインエッチングおよびオーバーエッチングを行う。ただし、密着層104の膜厚は通常100nm以下と薄いので、2つのステップに分けることなく、1つのステップにてメインエッチングおよびオーバーエッチングを行うこともある。

【0010】このように、W膜105および密着層104のエッチバック工程は、3ないし4つのステップに分かれており、これらの各処理を連続的に行うことにより、図11に示すように、コンタクトホール103内にWプラグ106が形成される。密着層104は、Wプラグ106の下地に対する密着性を高める働きをする。

【0011】次に、図示は省略するが、例えばスパッタリング法により全面にアルミニウム(A1)合金膜を成膜した後、このA1合金膜上に所定形状のレジストパターンを形成する。次に、このレジストパターンをマスクとして、A1合金膜をRIE法によりエッチングすることにより、このA1合金膜を、コンタクトホール103の部分においてWプラグ106と接続する所定の配線形状にパターンニングする。配線を多層化する場合、上述と同様にして、層間絶縁膜の成膜、コンタクトホールの形成、密着層の成膜、W膜の成膜、W膜および密着層のエッチバック、配線の形成を順次繰り返す。これにより、所望の多層配線構造を有する半導体装置が製造される。

【0012】しかしながら、上述のようにW膜105および密着層104の全面エッチバックを行うことにより、コンタクトホール103の内部にWプラグ106を形成する場合、次のようなことが問題になる。

【0013】すなわち、W膜105のエッチバック工程においては、W膜105のオーバーエッチングを行う際に、W膜105の減少に伴い、反応種であるフッ素ラジカルが、コンタクトホール103内のW膜105と選択的に反応するようになる。この反応が過度に進行すると、コンタクトホール103内に残存するW膜105の膜厚が減少する。その結果、図11に示すように、最終的に形成されるWプラグ106にリセス（プラグロスともいう）と呼ばれる浸食部が形成され、Wプラグ106の表面が層間絶縁膜102の表面よりも下方側に落ち込んでしまう。

【0014】また、密着層104のエッチバック工程においては、層間絶縁膜102との界面における密着層104を除去する際、コンタクトホール103の側壁上の密着層104が選択的にエッチングされることにより、図11に示すように、密着層104の頂部がWプラグ106の表面よりも下方側に落ち込んでしまい、この部分にトレンチと呼ばれる浸食部が形成される。また、このとき、下地の層間絶縁膜102が露出すると、SiO₂から分解した酸素とエッチングガスの塩素とがWと反応し、コンタクトホール103内のW膜105のエッチングも同時に進行するため、リセスの進行も問題となる。

【0015】特に、Wプラグ106のリセス量が大きくなると、Wプラグ106直上の部分の配線が大きく落ち込み、配線のカバレッジが悪化するという問題が生じる。この場合、配線のエレクトロマイグレーション耐性が劣化するなど、配線、さらには半導体装置の信頼性に多大な影響を及ぼす。

【0016】その対策として、従来技術では、特に、W膜105のオーバーエッチングを行う際や、密着層104のメインエッチングおよびオーバーエッチングを行う際に、基板温度を例えば-30℃~-10℃程度に設定することで、浸食部の進行を抑制するようにしている。以下に、従来技術によるW膜105および密着層104のエッチバック方法について具体的に説明する。この例では、コンタクトホール103の内部を埋めるように全面にW膜105を成膜した後、プラズマエッチング装置を用いて、W膜105および密着層104を、以下のような第1〜第3のステップにより順次エッチバックする。このエッチバック工程においては、基板が設置されるサセプタに裏面側からヘリウム(He)ガスを導入することにより、基板冷却が可能に構成された、例えば有磁場マイクロ波プラズマエッチング装置が用いられる。

【0017】このエッチバック工程の第1のステップでは、反応ガスとしてSF₆ガスをを用いたRIE法により、W膜105を、Si基板101の表面と垂直方向に密着層104が露出しない程度にエッチバックする。このとき、層間絶縁膜102上の部分におけるW膜105が、初期膜厚の80%程度エッチングされるようにする。この第1のステップでは、W膜105が効率的にエッチングされるように、W膜105のエッチングレートが大きくなる条件でエッチングを行う。この第1のステップにおけるエッチング条件の一例を挙げると、SF₆ガスの流量を200sccm、圧力を1Pa、高周波(RF)パワーを100W、マイクロ波パワーを1000W、裏面He圧力を1000Pa、基板温度を-20℃とする。

【0018】第2のステップでは、反応ガスとしてSF₆ガスおよびCl₂ガスをを用いたRIE法により、W膜105の残膜を、Si基板101の表面と垂直方向に密着層104が露出するまでエッチバックする。この第2のステップでは、基板温度が-30℃~-10℃程度の低温に設定されると共に、RFパワーが第1のステップよりも低く設定され、W膜105のエッチングレートが小さくなる条件でエッチングが行われる。この第2のステップにおけるエッチング条件の一例を挙げると、SF₆ガスの流量を140sccm、Cl₂ガスの流量を40sccm、圧力を1Pa、RFパワーを60W、マイクロ波パワーを1000W、裏面He圧力を1000Pa、基板温度を-20℃とする。

【0019】第3のステップでは、反応ガスとしてCl₂ガスをを用いたRIE法により、密着層104を、Si

基板101の表面と垂直方向に層間絶縁膜102が露出するまでエッチバックする。この第3のステップでは、基板温度が -30°C ～ -10°C 程度の低温に設定されると共に、層間絶縁膜102との界面における密着層104が完全に除去されるように、RFパワーが第1および第2のステップよりも高く設定され、スパッタ性の高い条件でエッチングが行われる。この第3のステップにおけるエッチング条件の一例を挙げると、 Cl_2 ガスの流量を 100 sccm 、圧力を 0.5 Pa 、RFパワーを 120 W 、マイクロ波パワーを 1000 W 、裏面He圧力を 1000 Pa 、基板温度を -20°C とする。

【0020】

【発明が解決しようとする課題】上述した従来技術によるW膜105および密着層104のエッチバック方法では、基板温度を -30°C ～ -10°C 程度の低温に設定してW膜105および密着層104のエッチングを行うようにしていることにより、コンタクトホール103内のW膜105および密着層104の浸食を抑制することができるので、Wプラグ106のリセス量および密着層104のトレンチ量を低減することが可能である。しかしながら、この場合、次のような問題が新たに発生する。

【0021】すなわち、 Cl_2 ガスを用いて行われるTi系の密着層104のエッチングでは、 SF_6 ガスを用いて行われるW膜105のエッチングのときほど、エッチングガスと被エッチング物との化学的反応性が高くない。したがって、上述のような低温条件では、層間絶縁膜102のうち、素子領域あるいは配線領域に対応する部分に生じる段差部に、密着層104のエッチング残渣が生じやすい。また、基板とのコンタクトをとるプラグにおいては、密着層104の成膜後に、熱処理を施す場合があり、層間絶縁膜102と密着層104との界面に TiSiO_x のようなエッチングされにくい反応生成物が形成される。この反応生成物もエッチング残渣の発生原因となる。図11において、符号107は、エッチング残渣となった反応生成物を示す。そのため、密着層104のエッチバック工程においては、上述のようなエッチング残渣を発生させることなく層間絶縁膜102上の密着層104を完全に除去するために、化学的反応性エッチングよりもむしろ、物理的にエッチングを進めている。化学反応性が強いと、層間絶縁膜102と密着層104との界面に生じている TiSiO_x のような反応生成物107がエッチングされにくく、また、反応生成物107が全てエッチングされた場合も、エッチングされにくかった部分が層間絶縁膜102上まで転写されるため、層間絶縁膜102の表面に面荒れが生じる。

【0022】したがって、この発明の目的は、絶縁膜表面における面荒れの発生を防止しつつ、絶縁膜との界面における密着層をほぼ完全に除去することができると共に、リセス量およびトレンチ量の少ない良好な形状のプ

ラグを形成することのできる半導体装置の製造方法を提供することにある。

【0023】この発明の他の目的は、絶縁膜表面における面荒れの発生を防止しつつ、絶縁膜との界面におけるチタン系導電膜をほぼ完全に除去することのできるエッチング方法を提供することにある。

【0024】

【課題を解決するための手段】従来技術の有する上記の問題点を解決すべく、本発明者は鋭意検討を行ったところ、 TiN/Ti 膜のようなTi系の密着層を、塩素ガスを用いたRIE法によりエッチバックする際に、反応ガスにさらに三塩化ホウ素(BCl_3)ガスを添加してやり、下地の層間絶縁膜に対する密着層のエッチング選択比を低下させてエッチングを行うのが問題解決の有効な手法であることを見出した。

【0025】すなわち、 SiO_2 膜を、反応ガスとして BCl_3 ガスを用いたRIE法によりエッチングする場合のエッチングレートは、反応ガスとして Cl_2 ガスを用いたRIE法によりエッチングする場合のエッチングレートより大きい。したがって、Wプラグの形成工程において、Ti系の密着層のエッチバックを Cl_2 ガスおよび BCl_3 ガスを用いたRIE法により行った場合、 SiO_2 からなる層間絶縁膜に対する密着層の選択比は、 Cl_2 ガスのみを用いて行う場合に比べて低下する。

【0026】このように密着層のエッチバックを下地の層間絶縁膜に対して低選択比条件で行った場合、層間絶縁膜の表面が露出した時点で、層間絶縁膜も同時にエッチングされる。そのため、従来のようにスパッタ性の高い条件でオーバーエッチングを行わずとも、層間絶縁膜との界面における密着層の除去およびこの部分に形成された反応生成物の除去を容易に行うことができる。また、密着層と同時に層間絶縁膜がある程度エッチングされることにより、層間絶縁膜の表面とWプラグの表面との間の段差の低減が図られるため、Wプラグのリセス量を低減することができると共に、密着層のエッチングレートが相対的に低下することにより、層間絶縁膜露出後のコンタクトホールの側壁上における密着層の浸食が抑制されるため、密着層のトレンチ量を低減することもできる。

【0027】以上のことが、本発明者の行った実験により確認された。以下に、本発明者が、この発明を案出する契機となった実験について説明する。

【0028】すなわち、本発明者は、 SiO_2 からなる層間絶縁膜に形成されたコンタクトホール内に、 TiN/Ti 膜からなる密着層を介してWプラグが埋め込まれたプラグ構造を形成するにあたって、密着層のエッチバックを Cl_2 ガスおよび BCl_3 ガスを用いたRIE法により行い、この際、 Cl_2 ガスおよび BCl_3 ガスの流量を変化させて上記のプラグ構造を形成したときのW

プラグのリセス量、密着層のトレンチ量および層間絶縁膜表面の面荒れについて評価を行った。図1にその結果を示す。この実験に用いた試料において、層間絶縁膜の厚さは $1.0\mu\text{m}$ 、コンタクトホールの口径は $0.4\mu\text{m}$ 、密着層のTi膜の厚さは 30nm 、TiN膜の厚さは 50nm とした。また、密着層をエッチバックする際のエッチング条件は、 Cl_2 ガスおよび BCl_3 ガスの合計の流量が 100sccm となるように Cl_2 ガスおよび BCl_3 ガスを所定の比率で混合し、圧力を 0.5Pa 、高周波パワーを 90W 、マイクロ波パワーを 1000W 、基板温度を -20°C とした。図1に、 Cl_2 ガスおよび BCl_3 ガスの流量を変化させた作製された各試料における層間絶縁膜のエッチングレート(①)、密着層のエッチングレート(②)および層間絶縁膜に対する密着層の選択比(②/①)をあわせて示す。この場合、 Cl_2 ガスの流量を低下させ、 BCl_3 ガスの流量を増加させてゆくと、層間絶縁膜のエッチングレートは大きくなり、密着層のエッチングレートは小さくなる。つまり、反応ガス中の BCl_3 ガスの比率が大きくなるにつれて、層間絶縁膜に対する密着層のエッチング選択比は低下する。

【0029】図1より、 Cl_2 ガスの流量を小さくし、 BCl_3 ガスの流量を大きくするほど、言い換えれば、層間絶縁膜に対する密着層のエッチング選択比を低下させるほど、Wプラグのリセス量および密着層のトレンチ量が小さくなることがわかる。例えば、 Cl_2 ガスの流量を 100sccm 、 BCl_3 ガスの流量を 0sccm とした場合と、 Cl_2 ガスの流量を 50sccm 、 BCl_3 ガスの流量を 50sccm とした場合とを比較すると、前者の場合はリセス量が 75nm 、トレンチ量が 50nm であったのに対して、後者の場合はリセス量が 25nm 、トレンチ量が 40nm となり、それぞれ低減されている。

【0030】また、図1より、層間絶縁膜表面の面荒れについては、 Cl_2 ガスの流量を 50sccm 以下、 BCl_3 ガスの流量を 50sccm 以上にすることで、その発生が防止されることが確認されているが、 BCl_3 ガスの流量が 50sccm より若干低くても、その効果は得られると考えられる。このように、エッチングガスに BCl_3 ガスを添加することによって層間絶縁膜の面荒れが防止されるのは、ガス種の原子量が大きくなり、アタッキング効果が強くなるためと考えられる。また、 BCl_3 ガスの流量が小さく層間絶縁膜の表面に面荒れが生じている場合は、層間絶縁膜のエッチング量にも面内でバラツキが生じていたが、層間絶縁膜表面の面荒れの消滅と共に、層間絶縁膜のエッチング量の面内均一性も向上することが確認されている。

【0031】以上の実験結果より、層間絶縁膜の面荒れ防止および層間絶縁膜のエッチング量の面内均一性を考慮しつつ、リセス量およびトレンチ量を低減するために

は、密着層のエッチバックを、層間絶縁膜に対する密着層のエッチング選択比が5以下、好適には3.5以下、より好適には3以下となる低選択比条件で行うことが有効であり、そのためには、反応ガス中に BCl_3 ガスを50%程度またはそれ以上含ませるようにすればよいことがわかる。

【0032】この発明は、本発明者による上記の検討の結果に基づいて案出されたものである。

【0033】すなわち、上記目的を達成するために、この発明の第1の発明は、半導体基体上に絶縁膜を形成する工程と、絶縁膜に開口を形成する工程と、絶縁膜上に密着層を形成する工程と、密着層上に開口を埋めるように導電膜を形成する工程と、導電膜および密着層を、荷電粒子を用いたドライエッチング法により少なくとも絶縁膜が露出するまでエッチバックすることにより、開口の内部に導電膜からなるプラグを形成する工程とを有する半導体装置の製造方法において、密着層のエッチバックを、絶縁膜に対する密着層のエッチング選択比を5以下にして行うことを特徴とするものである。

【0034】この発明の第2の発明は、絶縁膜上に成膜されたチタン系導電膜を荷電粒子を用いたドライエッチング法により少なくとも絶縁膜が露出するまでエッチングするようにしたエッチング方法において、チタン系導電膜のエッチングを、絶縁膜に対するチタン系導電膜のエッチング選択比を5以下にして行うことを特徴とするものである。

【0035】この発明の第1の発明において、密着層のエッチバックは、絶縁膜に対する密着層のエッチング選択比を好適には3.5以下、より好適には3以下にして行う。この発明の第2の発明において、チタン系導電膜のエッチングは、絶縁膜に対するチタン系導電膜のエッチング選択比を好適には3.5以下、より好適には3以下にして行う。

【0036】この発明の第1の発明において、密着層は典型的にはチタン系導電膜からなり、絶縁膜は典型的には酸化シリコンからなる。この発明の第2の発明において、絶縁膜は典型的には酸化シリコンからなる。この発明の第1および第2の発明において、チタン系導電膜とは、例えば、チタン(Ti)膜、窒化チタン(TiN)膜またはこれらの積層膜などを指す。

【0037】この発明の第1の発明において、密着層がチタン系導電膜からなり、絶縁膜が酸化シリコンからなる場合、密着層のエッチバックは、好適には、少なくとも三塩化ホウ素ガスを含むエッチングガスを用いたドライエッチング法により行われる。この際、エッチングガスとしては、具体的には、例えば塩素ガスと三塩化ホウ素ガスとの混合ガスが用いられる。この発明の第2の発明において、絶縁膜が酸化シリコンからなる場合も同様である。

【0038】この発明の第1の発明において、導電膜は

典型的にはタングステンからなる。この場合、密着層を、少なくとも上層が窒化チタンからなるチタン系導電膜により構成することが好ましい。また、導電膜の材料としては、タングステン以外にも例えばモリブデン、タンタルなどの高融点金属を用いることが可能である。

【0039】この発明の第1の発明においては、絶縁膜の表面に対するプラグの表面の落ち込みおよびプラグの表面に対する密着層の頂部の落ち込みを低減する観点から、密着層のエッチバックは、好適には基板温度を例えば -30°C ～ -10°C 程度として行う。

【0040】上述のように構成されたこの発明の第1の発明によれば、密着層のエッチバックを、絶縁膜に対する密着層のエッチング選択比を5以下として行うようにしていることにより、絶縁膜表面における面荒れの発生を防止しつつ、絶縁膜との界面における密着層をほぼ完全に除去することができると共に、リセス量およびトレンチ量の少ない良好な形状のプラグを形成することができる。

【0041】この発明の第2の発明によれば、チタン系導電膜のエッチングを、絶縁膜に対するチタン系導電膜のエッチング選択比を5以下として行うようにしていることにより、絶縁膜表面における面荒れの発生を防止しつつ、絶縁膜との界面におけるチタン系導電膜をほぼ完全に除去することができる。

【0042】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。なお、実施形態の全図において、同一または対応する部分には同一の符号を付す。

【0043】まず、この発明の第1の実施形態について説明する。図2～図6は、Wプラグをコンタクトホール内に形成するこの発明の第1の実施形態による半導体装置の製造方法を示す。

【0044】この第1の実施形態による半導体装置の製造方法においては、まず、図2に示すように、予め素子（図示せず）が形成されたSi基板1上に、例えばCVD法により、例えば SiO_2 膜のような層間絶縁膜2を成膜する。この層間絶縁膜2の膜厚は例えば1000nmである。次に、この層間絶縁膜2上に所定形状のレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、例えばドライエッチング法により層間絶縁膜2の所定部分をエッチングすることにより、この層間絶縁膜2にSi基板1の表面に達するコンタクトホール3を形成する。このコンタクトホール3の口径は例えば $0.4\mu\text{m}$ である。図示は省略するが、このコンタクトホール3の部分におけるSi基板1中には所定の拡散層が形成されている。この後、エッチングマスクに用いたレジストパターンを除去する。

【0045】次に、例えば、スパッタリング法により、コンタクトホール3の側壁および底部を覆うようにし

て、全面にTi膜およびTiN膜を順次成膜し、TiN/Ti膜の二層構造からなる密着層4を形成する。ここで、この密着層4のうち、下層側のTi膜の膜厚は例えば30nmであり、上層側のTiN膜の膜厚は例えば50nmである。次に、密着層4とSi基板1とのコンタクト抵抗の低減および密着層4の膜質の改善を目的として、例えば、窒素ガス雰囲気中で 800°C 程度で熱処理を行う。

【0046】次に、図3に示すように、例えば、ブランケットCVD法により、コンタクトホール3を埋めるようにして全面にW膜5を成膜する。ここで、W膜5は、その表面がほぼ平坦となるように十分厚く形成される。

【0047】次に、全面に成膜されたW膜5および密着層4を、プラズマなどの荷電粒子を用いたドライエッチング法により、例えば、以下のような第1～第3のステップにより、Si基板1の表面と垂直方向に層間絶縁膜2の表面が露出するまで順次エッチバックする。このときのエッチバック工程は、例えば、基板が設置されるサセプタに裏面側からHeガスを導入することにより、基板冷却が可能に構成された例えば有磁場マイクロ波プラズマエッチング装置を用いて行う。

【0048】このエッチバック工程の第1のステップでは、図4に示すように、例えば反応ガスとして SF_6 ガスをを用いたRIE法により、W膜5を、Si基板1の表面と垂直方向に密着層4が露出しない程度にエッチバックする。このとき、層間絶縁膜2上の部分におけるW膜5が、例えば初期膜厚の80%程度エッチングされるようにする。この第1のステップでは、W膜5が効率的にエッチングされるように、W膜5のエッチングレートが大きくなる条件でエッチングが行われる。この第1のステップのエッチング条件の一例を挙げると、 SF_6 ガスの流量を200sccm、圧力を1Pa、高周波（RF）パワーを100W、マイクロ波パワーを1000W、裏面He圧力を1000Pa、基板温度を -20°C とする。

【0049】第2のステップでは、図5に示すように、例えば反応ガスとして SF_6 ガスおよび Cl_2 ガスをを用いたRIE法により、基板温度を -30°C ～ -10°C 程度の低温に設定して、W膜5の残膜を、Si基板1の表面と垂直方向に密着層4が露出するまでエッチバックする。この第2のステップでは、基板温度が -30°C ～ -10°C 程度の低温に設定されると共に、RFパワーが第1のステップよりも低く設定され、W膜5のエッチングレートが小さくなる条件でエッチングが行われる。この第2のステップのエッチング条件の一例を挙げると、 SF_6 ガスの流量を140sccm、 Cl_2 ガスの流量を40sccm、圧力を1Pa、RFパワーを60W、マイクロ波パワーを1000W、裏面He圧力を1000Pa、基板温度を -20°C とする。

【0050】第3のステップでは、図6に示すように、

例えば反応ガスとして Cl_2 ガスおよび BCl_3 ガスを用いたRIE法により、基板温度を -30°C 〜 -10°C 程度の低温に設定して、密着層4をSi基板1の表面と垂直方向に層間絶縁膜2が露出するまでエッチバックする。この第3のステップでは、層間絶縁膜2に対する密着層4のエッチング選択比が5以下、好適には3.5以下、より好適には3以下となる条件でエッチングが行われる。すなわち、反応ガス中に、 BCl_3 ガスを例えば50%程度またはそれ以上含ませるようにする。この第3のステップにおけるエッチング条件の一例を挙げると、 Cl_2 ガスの流量を50 sccm、 BCl_3 ガスの流量を50 sccm、圧力を0.5 Pa、RFパワーを100 W、マイクロ波パワーを1000 W、裏面He圧力を1000 Pa、基板温度を -20°C とする。このときの層間絶縁膜2に対する密着層4の選択比は3程度である。以上の工程により、図6に示すように、コンタクトホール3内にWプラグ6が形成される。密着層4は、Wプラグ6の下地に対する密着性を高める働きをする。

【0051】上述の条件で行われる密着層4のエッチバック工程においては、層間絶縁膜2の表面が露出した時点で、層間絶縁膜2も同時にエッチングされる。そのため、従来に比べてスパッタ性の高い条件で密着層4のオーバーエッチングを行わずとも、層間絶縁膜2との界面における密着層4が効果的に除去される。また、密着層4の成膜後に熱処理を施すことによって層間絶縁膜2と密着層4との界面に形成された TiSiO_x のような反応生成物（図示せず）も、容易に除去することが可能である。しかも、層間絶縁膜2が同時にエッチングされることにより、層間絶縁膜2の表面とコンタクトホール3内に形成されるWプラグ6の表面との段差が低減されるため、Wプラグ6のリセス量が小さく、密着層4のエッチングレートが相対的に低下することにより、層間絶縁膜2が露出した後のコンタクトホール3の側壁上での密着層4の浸食が抑制されるため、密着層4のトレンチ量も小さい。このようにして形成されたプラグ構造について、Wプラグ6のリセス量および密着層4のトレンチ量について評価を行ったところ、リセス量は25 nm以下、トレンチ量は40 nm以下であった。また、層間絶縁膜2上にはエッチング残渣が見られず、その表面もほとんど面荒れの無い良好な状態であった。さらに、層間絶縁膜2のエッチング量も面内でほぼ均一であった。

【0052】Wプラグ6上にさらに配線を形成する場合は、例えば、スパッタリング法により配線材料としてのAl合金膜を全面に成膜した後、このAl合金膜上に所定形状のレジストパターン（図示せず）を形成する。次に、このレジストパターンをマスクとして、例えばRIE法によりAl合金膜を所定の配線形状にパターニングする。これにより、図8に示すように、コンタクトホール3の部分において、Wプラグ6と接続される配線7が形成される。その後、エッチングマスクとして用いたレ

ジストパターンを除去する。

【0053】配線を多層化する場合は、上述と同様にして、層間絶縁膜の成膜、コンタクトホールの形成、密着層の成膜、W膜の成膜、W膜および密着層のエッチバック、配線の形成を順次繰り返す。これにより、所望の多層配線構造を有する半導体装置が製造される。この場合、Wプラグ6のリセス量が小さいため、このWプラグ6の直上の部分における配線7の落ち込みが抑制され、配線7をほぼ平坦にすることができるので、スタックコンタクトの形成が容易である。

【0054】上述のように構成されたこの第1の実施形態によれば、密着層4のエッチバックを、反応ガスとして Cl_2 ガスおよび BCl_3 ガスを用いたRIE法により行い、この際、層間絶縁膜2に対する密着層4のエッチング選択比を5以下とし、層間絶縁膜2を同時にエッチングするようにしていることにより、密着層4をエッチバックする際に、層間絶縁膜2の表面における面荒れの発生を防止しつつ、層間絶縁膜2との界面における密着層4をほぼ完全に除去することができると共に、コンタクトホール3の内部にリセス量およびトレンチ量の少ない良好な形状のWプラグ6を形成することができる。これにより、層間絶縁膜2上のエッチング残渣や層間絶縁膜2の面荒れによって配線7の信頼性が損なわれるようなこと無く、しかも、コンタクトホール部における配線7のカバレッジが改善されるので、配線、さらには半導体装置の信頼性を向上させることができる。

【0055】次に、この発明の第2の実施形態について説明する。図8および図9は、コンタクトホール内にWプラグを形成するこの発明の第2の実施形態による半導体装置の製造方法を示す。

【0056】この第2の実施形態による半導体装置の製造方法においては、例えば第1の実施形態による半導体装置の製造方法と同様の手法により、Si基板1上への層間絶縁膜2の成膜、コンタクトホール3の形成、密着層4の成膜およびW膜5の成膜を順次行う。次に、W膜5を、例えばRIE法により、メインエッチングおよびオーバーエッチングの2段階に分けて、Si基板1の表面と垂直方向に密着層4の表面が露出するまでエッチバックする。このときのW膜5のエッチバックは、例えば、第1の実施形態による半導体装置の製造方法におけるエッチバック工程の第1のステップおよび第2のステップと同様の条件で行う。これにより図5に示すと同様の構造を得る。

【0057】次に、図8に示すように、密着層4およびWプラグ6上の全面に、例えばスパッタリング法により、配線材料としてのAl合金膜8を成膜する。

【0058】次に、このAl合金膜8上に所定形状のレジストパターン（図示せず）を形成する。次に、このレジストパターンをマスクとして、例えば反応ガスとして Cl_2 ガスおよび BCl_3 ガスを用いたRIE法によ

り、Al合金膜8および密着層4を順次エッチングする。ここで、密着層4をエッチングする際には、層間絶縁膜2に対する密着層4のエッチング選択比が5以下、好適には3.5以下、より好適には3以下となる条件でエッチングを行う。ここで、Al合金膜8および密着層4を配線形状にパターニングするときのエッチング条件の一例を挙げると、Al合金膜8をエッチングするときには、 Cl_2 ガスの流量を100sccm、 BCl_3 ガスの流量を50sccm、圧力を1Pa、RFパワーを150W、マイクロ波パワーを900Wとし、密着層4をエッチングするときには、 Cl_2 ガスの流量を70sccm、 BCl_3 ガスの流量を50sccm、圧力を1Pa、RFパワーを150W、マイクロ波パワーを900Wとする。なお、このときのエッチングは、例えば基板温度を30℃～50℃として行う。その後、エッチングマスクとして用いたレジストパターンを除去する。

【0059】以上の工程により、図9に示すように、コンタクトホール3の部分においてWプラグ6と接続される所定形状の配線7が形成される。この場合、配線7は、層間絶縁膜2上に密着層4を介して形成される。

【0060】配線を多層化する場合、上述と同様に、層間絶縁膜の成膜、コンタクトホールの形成、密着層の成膜、W膜の成膜、W膜のエッチバック、配線材料の成膜、配線材料および密着層のパターニングを順次繰り返す。これにより、所望の多層配線構造を有する半導体装置が製造される。

【0061】上述のように構成されたこの第2の実施形態による半導体装置の製造方法においては、Al合金膜8および密着層4を配線形状にパターニングする際の密着層4のエッチングが、第1の実施形態における密着層4のエッチバック工程に適用されたエッチング方法と同様の手法により行われている。そのため、密着層4をエッチングする際に、エッチング残渣をほとんど発生させることなく層間絶縁膜2との界面における密着層4をほぼ完全に除去することができると共に、層間絶縁膜2の表面の面荒れを防止することができる。また、この第2の実施形態においては、密着層4のエッチング時に、コンタクトホール3内のWプラグ6および密着層4がエッチングされることがないため、コンタクトホール3内に極めて良好な形状のWプラグ6を形成することができる。したがって、この第2の実施形態によっても、第1の実施形態と同様の利点を得ることができる。

【0062】以上この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0063】例えば、上述の第1および第2の実施形態において挙げた数値、構造、材料、プロセス、エッチング条件などはあくまで例にすぎず、必要に応じてこれらと異なる数値、構造、材料、プロセス、エッチング条件

などを用いてもよい。

【0064】また、上述の第1および第2の実施形態において、密着層4は、Ti膜およびTiN膜を順次成膜することにより形成されたものであるが、この密着層4は、Ti膜を成膜した後、少なくともその上層を窒化することにより形成されたものであってもよい。また、この密着層4は、TiN膜、Ti膜またはTi/TiN/Ti膜であってもよい。また、層間絶縁膜2の材料として、 SiO_2 に代えて例えばSiONを用いてもよい。

【0065】また、上述の第1および第2の実施形態においては、配線7の材料としてAl合金に代えて純Alを用いてもよい。また、配線7の材料としては、これらのAl系材料以外にも、銅(Cu)、銀(Ag)、金(Au)またはこれらの合金などを用いることが可能である。

【0066】

【発明の効果】以上説明したように、この発明による半導体装置の製造方法によれば、密着層のエッチバックを、絶縁膜に対する密着層のエッチング選択比を5以下として行うようにしていることにより、絶縁膜表面における面荒れの発生を防止しつつ、絶縁膜との界面における密着層をほぼ完全に除去することができると共に、リセス量およびトレンチ量の少ない良好な形状のプラグを形成することができる。これにより、開口の部分においてプラグと接続される配線のカバレッジを良好にすることができ、その配線の信頼性を向上させることができるので、半導体装置、特に、多層配線構造を有する半導体装置の信頼性を向上させることができる。

【0067】この発明によるエッチング方法によれば、チタン系導電膜のエッチングを、絶縁膜に対するチタン系導電膜のエッチング選択比を5以下として行うようにしていることにより、絶縁膜表面における面荒れの発生を防止しつつ、絶縁膜との界面におけるチタン系導電膜をほぼ完全に除去することができるので、このエッチング方法を、例えば半導体装置の製造工程におけるプラグ形成工程や配線形成工程に適用した場合、それらの工程を信頼性良く行うことができる。

【図面の簡単な説明】

【図1】 本発明者がこの発明を案出する契機となった実験の結果を示す図である。

【図2】 この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図3】 この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図4】 この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図5】 この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図6】 この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図7】 この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図8】 この発明の第2の実施形態による半導体装置の製造方法を説明するための断面図である。

【図9】 この発明の第2の実施形態による半導体装置の製造方法を説明するための断面図である。

【図10】 従来の半導体装置の製造方法を説明するた

めの断面図である。

【図11】 従来の半導体装置の製造方法を説明するための断面図である。

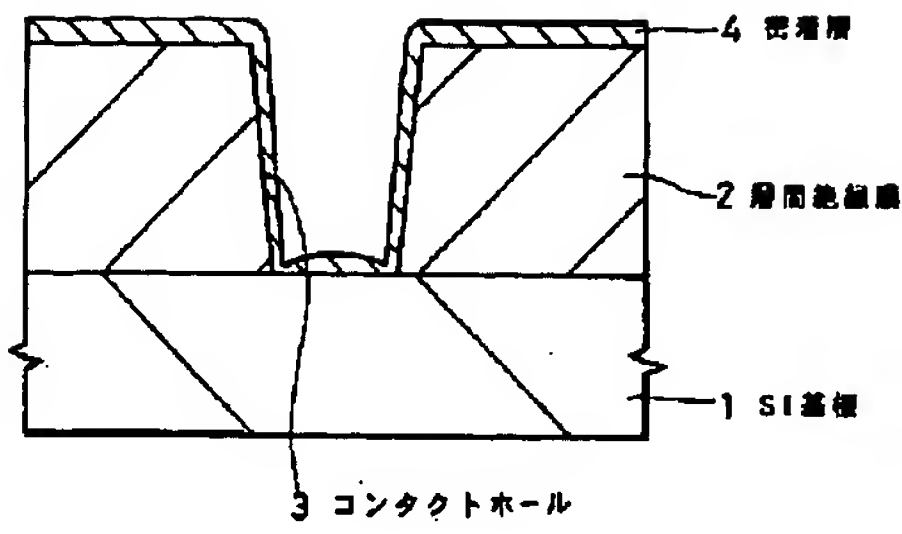
【符号の説明】

1・・・Si基板、2・・・層間絶縁膜、3・・・コンタクトホール、4・・・密着層、5・・・W膜、6・・・Wプラグ、7・・・配線、8・・・Al合金膜

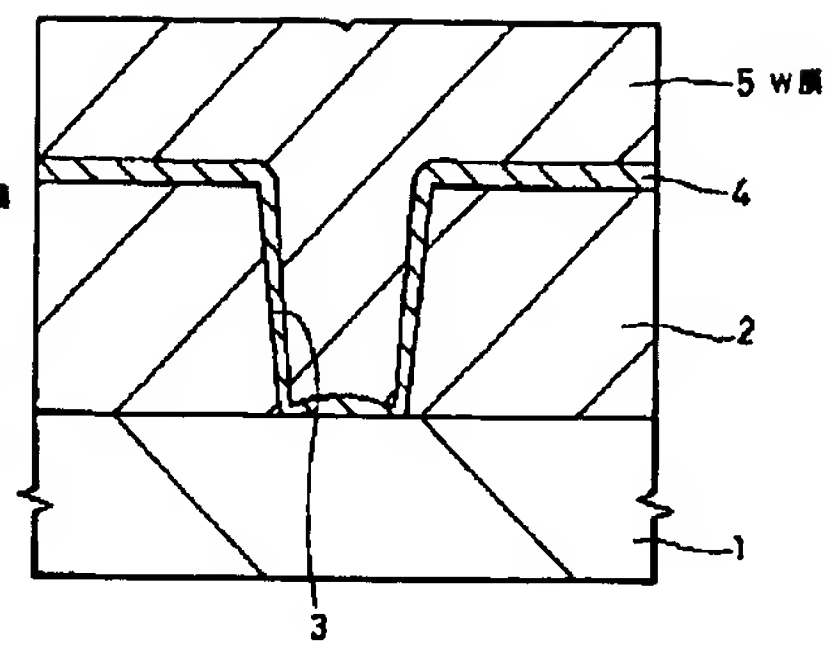
【図1】

Cl ₂ ガスの流量/ BCl ₃ ガスの流量 (sccm)	リセス量 (nm)	トレンチ量 (nm)	層間絶縁膜 表面の面荒れ	①層間絶縁膜の エッチングレート (nm/min)	②密着層の エッチングレート (nm/min)	エッチング 選択比 (②/①)
100/0	75	50	有り	20	480	24
75/25	35	50	有り	75		
50/50	25	40	無し	90	290	3.2
25/75	10	30	無し	130		
0/100	0	20	無し	135		

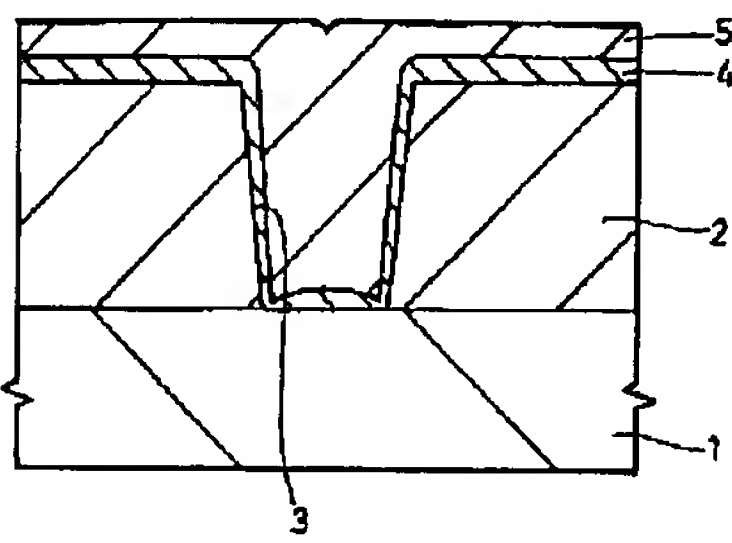
【図2】



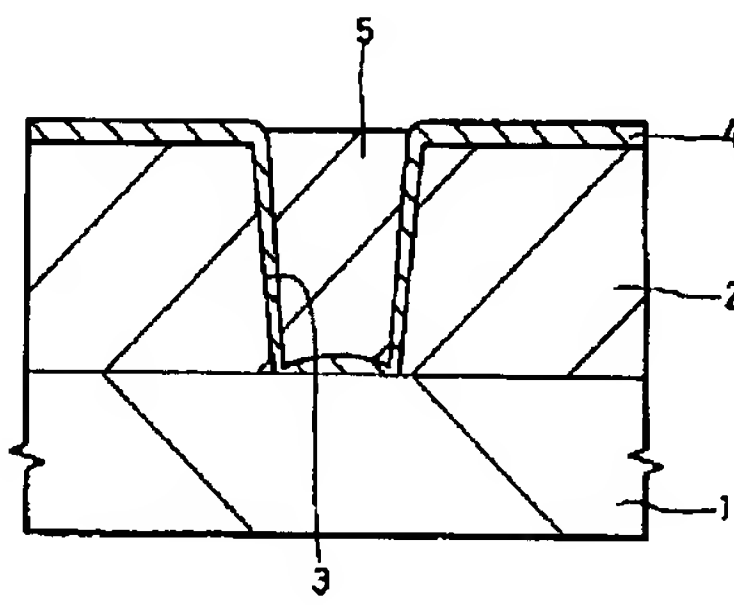
【図3】



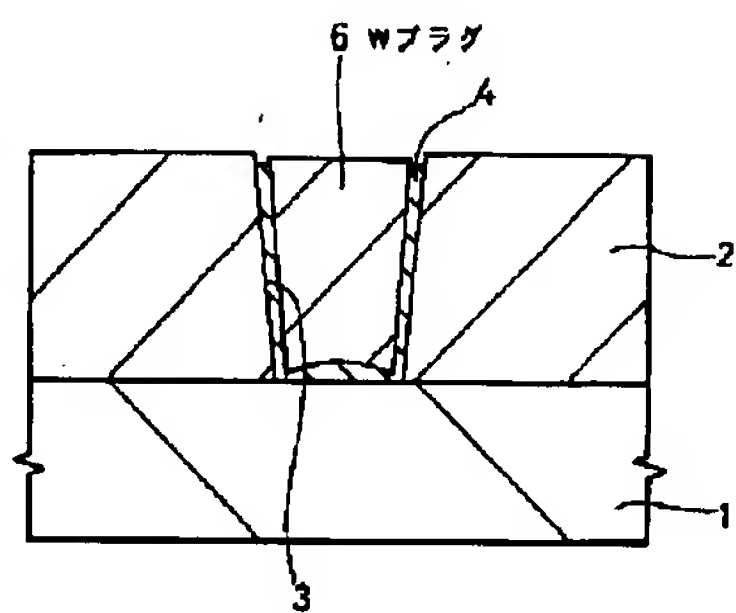
【図4】



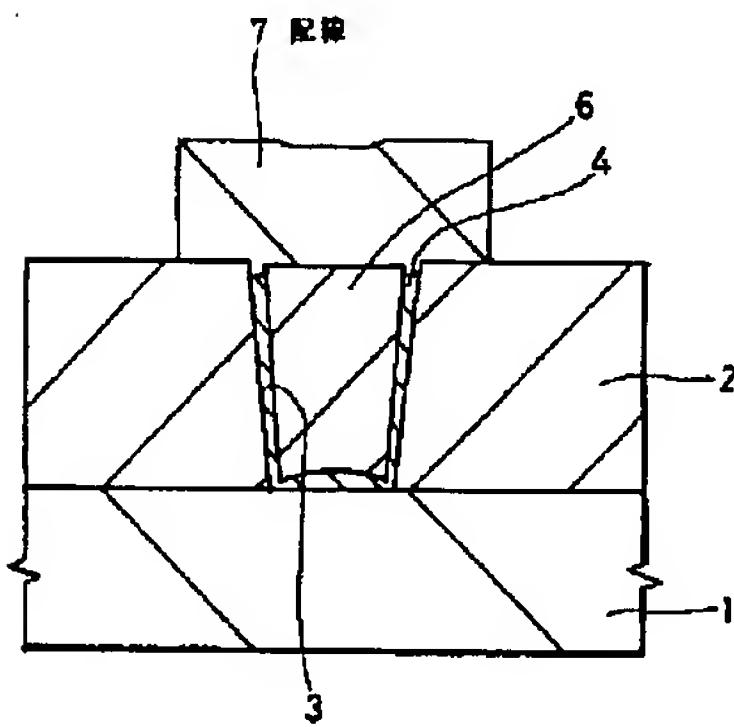
【図5】



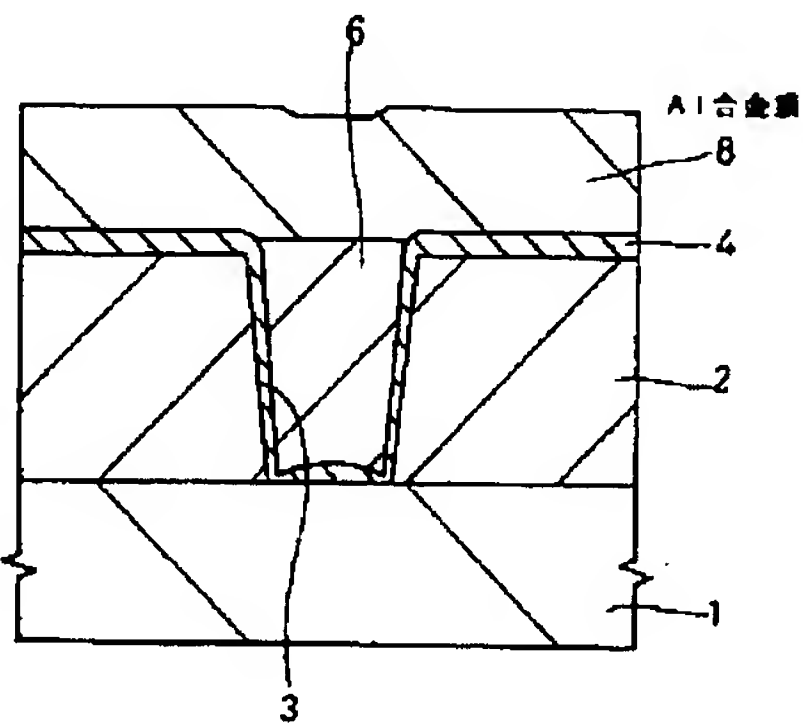
【図6】



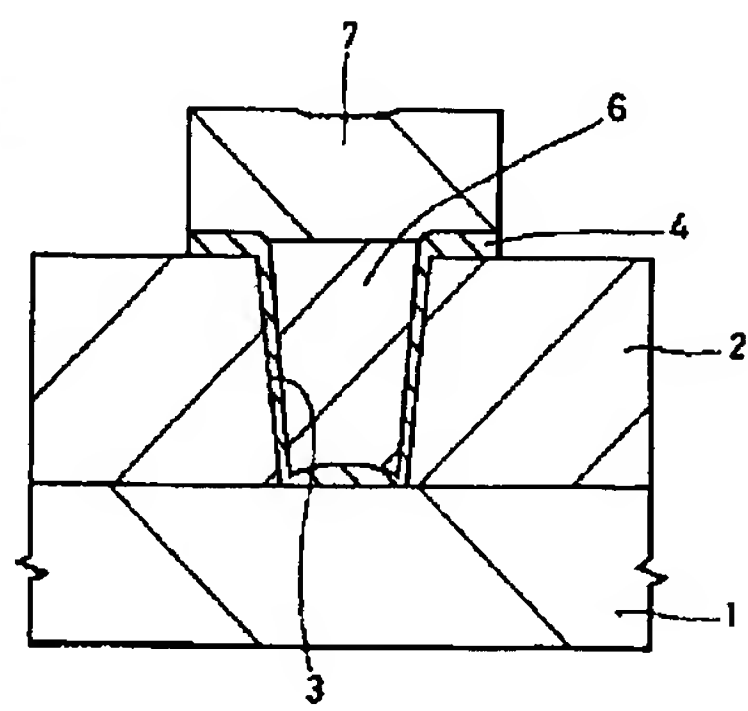
【図7】



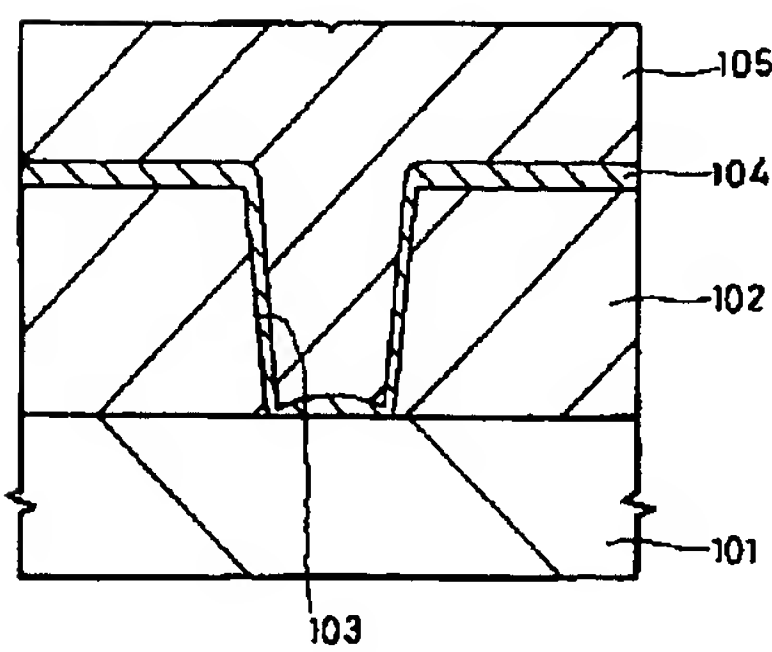
【図8】



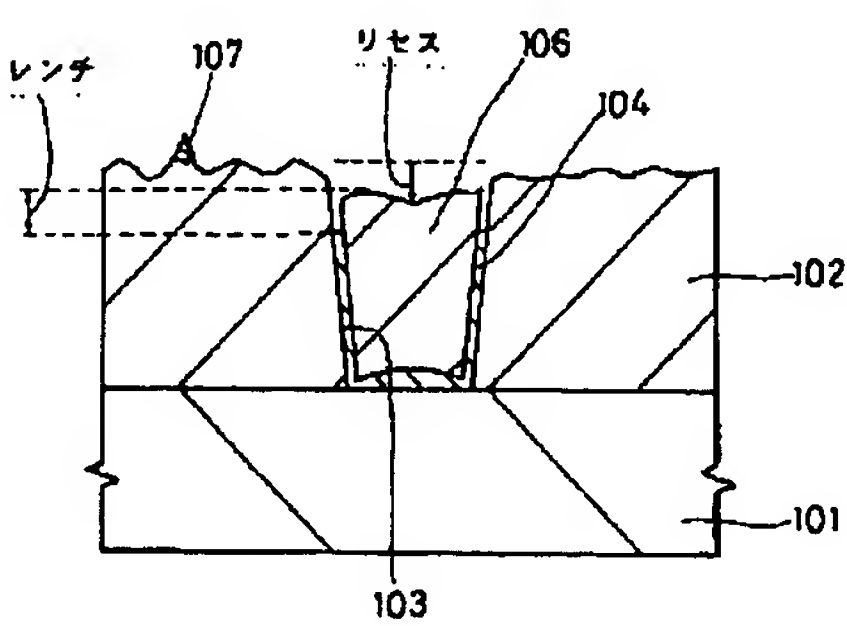
【図9】



【図10】



【図11】



フロントページの続き

Fターム(参考) 4K057 DA11 DB08 DD05 DE01 DE04
DN01
4M104 AA01 BB14 CC01 DD08 DD16
DD37 DD43 DD65 DD67 FF16
FF22 HH14
5F004 AA11 BA14 BB13 BB14 BB25
BD03 CA01 CA04 CA06 DA04
DA11 DA18 DA30 DB09 DB10
EA27 EA28 EA30 EB01 EB02
EB03